

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001148291 A**

(43) Date of publication of application: **29.05.01**

(51) Int. Cl.

**H05B 33/26**  
**G09F 9/00**  
**G09F 9/30**  
**H05B 33/10**  
**H05B 33/12**  
**H05B 33/14**  
**H05B 33/22**

(21) Application number: **11329810**

(22) Date of filing: **19.11.99**

(71) Applicant: **SONY CORP**

(72) Inventor: **URABE TETSUO**  
**SASAKA TATSUYA**  
**SEKIYA MITSUNOBU**  
**YAMAGISHI MACHIO**

(54) **DISPLAY DEVICE AND ITS MANUFACTURING METHOD**

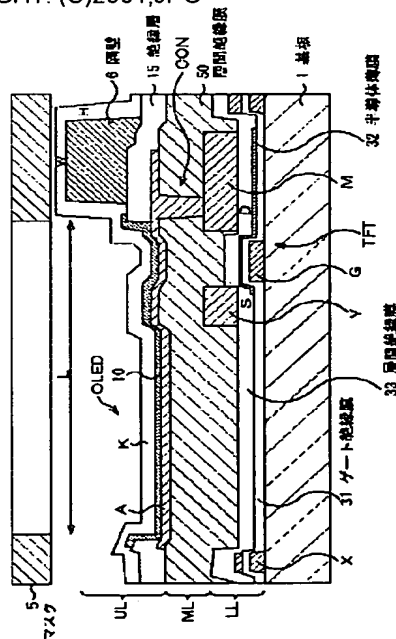
(57) Abstract:

**PROBLEM TO BE SOLVED:** To realize a display device with picture elements of an organic electroluminescent(EL) element of an upper luminous surface arranged in a matrix form and aims to realize a mounting structure with high opening ratio when the partition walls are arranged also on the surface side of the substrate to shield the light.

**SOLUTION:** The display device is installed with a substrate 1, multiple picture elements formed on the substrate, and partition walls to insulate adjacent picture elements. Each picture element consists of the lower layer part LL including wiring X, Y and M formed on the substrate 1, the upper layer part UL containing organic EL element OLED, and the middle layer part to electrically insulate the lower layer part LL and the upper layer part UL. The organic EL element OLED is connected to the wiring M via the contact hole CON opening to the middle layer part ML. The partition walls are arranged on the upper layer part UL to overlap the regions including the contact hole CON unsuited to the

formation of the organic EL device OLED.

COPYRIGHT: (C)2001,JPO



**THIS PAGE BLANK (USPTO)**

[0008]

[Preferred Embodiments of the Invention] The preferred embodiments of the present invention will be described as follows in detail referring to the drawings. Fig. 1 is an example of a partial sectional view showing the configuration of a display unit according to the present invention, which shows one pixel. As shown in the drawing, the display unit has a substrate 1, a pixel formed thereon, and a bank 6 that isolates the pixel from the next pixel. The pixel is divided into a lower layer section LL, a middle layer section ML and an upper layer section UL sequentially from the bottom. The lower layer section LL includes wirings such as a data wiring Y and a connection wiring M, which are formed on the substrate 1. The upper layer section UL includes an organic electroluminescence device OLED. The middle layer section ML electrically insulates the lower layer section LL and the upper layer section UL from each other, and consists of an interlayer insulating film 50. The organic electroluminescence device OLED electrically connects to the connection wiring M via a contact hole CON that is open in the interlayer insulating film 50 that constitutes the middle layer section ML. As a characteristic item, the bank 6 is arranged in the upper layer section UL so as to overlap a region including the contact hole CON (hereinafter, referred to as a contact region). In the contact region, the wirings are complex and the region is rough, so that it is not suitable for forming the OLED. Even if the OLED is provided in this region, it is impossible to obtain luminescence effective in displaying a screen. Therefore, the bank 6 that is a structure making originally no contribution to luminescence is provided in the contact region. With this structure, it is possible to effectively use a pixel area and an aperture ratio can be improved comparing to a conventional one. This structure achieves the aperture ratio exceeding 50%.

[0009] In this embodiment, the organic electroluminescence device OLED is a top emission type, which consists of a reflective anode A connected to the wiring M, a transparent

**THIS PAGE BLANK (USPTO)**

cathode K positioned at a surface, and an organic layer 10 held between the anode A and the cathode K. The organic layer 10 emits light by the recombination of holes supplied from the anode A and electrons supplied from the cathode K, and it is brought out from the surface cathode K. As shown in the drawing, the organic layer 10 is formed as wide as possible over a relatively flat area other than the contact region to secure high pixel aperture ratio. The bank 6 making originally no contribution to luminescence is provided in the contact region that is not suitable for forming the organic layer 10. Note that an aperture dimension L of the pixel is 170 to 180 $\mu\text{m}$ , for example, and a width dimension W of the bank 6 is 30 to 40 $\mu\text{m}$ , for example. Further, a height dimension H of the bank 6 is 3 to 5 $\mu\text{m}$ , for example. Herein, the organic layer 10 consists of a laminated film that is selectively deposited using a mask 5 arranged above the substrate 1 via the bank 6. In other words, the bank 6 serves as a spacer between the substrate 1 and the mask 5 when forming the OLED, and is arranged to prevent the mask 5 from accidentally contacting a forming surface of the OLED. This display unit is an active-matrix type, where the lower layer section LL includes scanning wirings X for selecting pixels, data wirings Y that gives brightness information for driving the pixels, first active devices that are controlled by the scanning wirings X and have a function to write the brightness information given from the data wirings Y into the pixels, and second active devices that have a function to supply current to the organic electroluminescence OLED according to the written brightness information and to control its luminescence. Fig. 1 shows a thin film transistor TFT formed on the substrate 1 as the second active device. The TFT has a bottom gate structure and consists of a gate electrode G, a gate insulating film 31 formed thereon, and a semiconductor thin film 32 formed thereon. The semiconductor thin film 32 is provided with a channel region that matches the gate electrode G and additionally a source region S and a drain region D on its both sides. The TFT having such configuration is covered

**THIS PAGE BLANK (USPTO)**

by an interlayer insulating film 33, and the above-described data wirings Y and the connection wirings M are formed thereon. Although not shown, data wirings Y are electrically connected to the source region S of the TFT via a contact hole that is open in the interlayer insulating film 33. Similarly, the connection wirings M are also connected to the drain region D of the TFT via a contact hole that is open in the interlayer insulating film 33. With this configuration, the anode A of the OLED is electrically connected to the drain region D of the TFT via the connection wirings M.

[0010] Referring continuously to Fig. 1, the method of manufacturing the display unit according to the present invention will be described. Firstly, after a conductive material is deposited on the surface of the substrate 1 made of glass or the like, it is patterned to form the pixel electrode G. The scanning wirings X and the like are also formed simultaneously using the same conductive material. As the conductive material, polycrystalline silicon into which an impurity is implanted at a high concentration, silicide or high-melting point metal (such as W and Mo) can be used. Consecutively, the gate insulating film 31 is deposited by a CVD method or the like.  $\text{SiO}_2$  or  $\text{SiN}$  can be used as the gate insulating film 31. The semiconductor thin film 32 is deposited on the gate insulating film 31. For example, amorphous silicon is deposited by the CVD method and transformed into the polycrystalline silicon using a solid phase growth method or a laser anneal method. After the impurity is selectively implanted into the semiconductor thin film 32, which has been obtained in this manner, to form the source region S and the drain region D, patterning is conducted into a device region shape. The interlayer insulating film 33 made of  $\text{SiO}_2$ , for example, is formed so as to cover the thin film transistor TFT of the bottom gate structure, which has been obtained in this manner. The contact holes communicating with the source region S and the drain region D of the TFT are opened in the interlayer insulating film 33. Then, a metal thin film is formed on the

**THIS PAGE BLANK (USPTO)**



interlayer insulating film 33 by sputtering or the like, and it is patterned into a predetermined shape to provide the data wirings Y and the connection wirings M. Aluminum is generally used as the metal thin film. A multi-layer structure of Ti/TiN/Ti/Al/Ti/TiN/Ti or an alloy layer of AlSi, AlCu or the like may be used according to the circumstances. Consequently, the lower layer section LL of the pixel is formed. The interlayer insulating film 50 made of SiO<sub>2</sub> or the like is deposited on it as the middle layer section ML. After the contact hole CON is opened by etching, the photoreflective anode A made of metal is formed. After an insulating layer 15 made of SiO<sub>2</sub> or the like is deposited on the anode A, a window section is opened by etching. The OLED is formed in the window section. As it is obvious from the drawing, the window section is provided in an area other than the contact region including the contact hole CON. At this point, the bank 6 is formed on the residual insulating layer 15. The bank 6 is made of an organic or inorganic insulating material. In this embodiment, SiO<sub>2</sub> was deposited by sputtering in the thickness of 3 to 5 $\mu$ m to provide the bank 6. As it is clear from the drawing, the bank 6 is formed in the contact region including the contact hole CON. Then, the mask 5 is arranged using the bank 6 as the spacer, and the organic layer 10 is deposited by deposition. During deposition, the bank 6 serves as the spacer not to allow the mask 5 contact the surface of the substrate 1. After the organic layer 10 has been deposited, the transparent cathode K is deposited on the entire surface of the substrate 1. The cathode K is maintained at a common potential over all pixels. The upper layer section UL of each pixel is thus completed.

[0011] Fig. 2 is an example of a typical plan view of the display unit shown in Fig. 1. As shown in the drawing, the data wirings Y are disposed in a vertical direction of the screen, and the scanning wirings X are disposed in a horizontal direction. The banks 6, which separate pixels PXL that are adjacent vertically to each other, are also disposed in the horizontal direction, and are provided in the area that overlaps the contact region

**THIS PAGE BLANK (USPTO)**

as described in Fig. 1. The hatched areas of the pixels PXL are areas where the OLED's are formed, which are effective luminescence areas.

[0012] Fig. 3 is an example of a typical plan view showing a relative positional relationship between the substrate 1 and the mask 5 as a reference. This example shows a case where the pixels of three primary colors RGB are formed on the substrate 1 by vacuum deposition. The banks 6 are previously formed in a stripe shape on the surface of the substrate 1. The banks 6 consist of an organic or inorganic insulator, and can be formed on the surface of the substrate 1 by screen printing or sputtering, for example. The pixels divided into the three primary colors RGB are formed between the banks 6 that are formed in the stripe shape. Accordingly, the mask 5 has a pattern 8 as shown in the drawing, and areas that are not hatched have rectangular openings. In the state shown in the drawing, the pattern 8 of the mask 5 corresponds to pixels R of the substrate 1. By performing vacuum deposition in this state, organic matter that should constitute the pixels R is selectively deposited. After the deposition, mask 5 is made to shift in the right direction by an amount of one pixel, and the pattern 8 thus matches a region of pixels G. Herein, the organic matter is changed to another one and vacuum deposition is performed again, the pixels G are thus formed. Similarly, the mask 5 is made to shift further to the right direction by the amount of one pixel to form pixels B.

[0013] In the example of the drawing, an array distance of the banks 6 is set to  $300\mu\text{m}$ , for example. On the other hand, the dimensions of the opening pattern 8 formed in the mask 5 are  $70\times 200\mu\text{m}$ , for example. Further, the mask 5 is made of stainless steel and its thickness is approximately  $50\mu\text{m}$ , for example. On the other hand, the thickness of the banks 6 that define a gap dimension between the substrate 1 and the mask 5 is approximately  $5\mu\text{m}$ .

[0014] Next, referring to Fig. 4, an example of a forming method of the pixels, which essentially consist of electroluminescence

**THIS PAGE BLANK (USPTO)**

devices, on a glass substrate using the mask shown in Fig. 3 will be specifically described. Firstly, as shown in (A), chromium (Cr) is deposited by DC sputtering in the film thickness of 200nm on the interlayer insulating film 50 in which the contact hole CON has been previously formed. Note that the description of layers under the interlayer insulating film 50 is omitted. Argon (Ar) is used as sputtering gas, pressure and DC output were set to 0.2Pa and 300W, respectively. Patterning is conducted into a predetermined shape using a regular lithography technique. Processing is performed using ETCH-1 (manufactured by Sanyo Chemical Industries, Ltd.) as etching fluid. The anode A of a predetermined shape is obtained. Chromium can be processed by the etching fluid highly accurately and with good reproducibility. If further processing accuracy is required, processing by dry etching is also possible. Mixed gas of chlorine ( $\text{Cl}_2$ ) and oxygen ( $\text{O}_2$ ) can be used as etching gas. Particularly, highly accurate processing is conducted and the shape of an etching surface can be controlled when reactive ion etching (RIE) is used. Tapered processing is possible when etching is performed under predetermined conditions, and short circuit between the cathode and anode is reduced. Consecutively, the insulating layer 15 is deposited on the interlayer insulating film 50 where chromium has been processed in a predetermined pattern. Although a material used for the insulating layer 15 is not limited particularly, silicon dioxide ( $\text{SiO}_2$ ) is used in this embodiment.  $\text{SiO}_2$  is formed in the film thickness of 200nm by sputtering. A deposition method is not particularly limited.  $\text{SiO}_2$  is processed using a regular lithography technique so as to provide an opening on chromium. Mixed fluid of hydrofluoric acid and ammonium fluoride can be used for etching  $\text{SiO}_2$ . Alternatively, processing by dry etching is also possible. The opening section becomes a luminescence area of the organic electroluminescence device. Note that the insulating layer 15 is not indispensable to the present invention, but it is desirably provided to prevent short circuit between the anode and cathode. Then, the banks 6 are

THIS PAGE BLANK (USPTO)

formed on the both sides of the opening section by sputtering, for example.

[0015] Next, as shown in (B), the mask 5 is installed above the interlayer insulating film 50 via the banks 6. Note that the opening pattern 8 formed in the mask is aligned so as to match the opening section of the above-described insulating layer 15. The substrate on which the mask 5 has been equipped is brought into a vacuum deposition apparatus, and the organic layer 10 and a metal layer 11 of the cathode K are formed by deposition. Herein, the organic layer 10 used 4,4',4''-tris[3-methylphenyl(phenyl)amino]triphenylamine (MTDATA) as a hole injection layer 101, bis (N-naphthyl)-N-phenylbenzidine ( $\alpha$ -NPD) as a hole transport layer 102, and 8-quinolinol aluminum complex (Alq) as an emissive layer 103. Alloy of magnesium and silver (Mg:Ag) was used for the metal layer 11 of the cathode K. 0.2g of each material that belongs to the organic layer 10 is severally filled in a boat for resistance heating, and attached to a predetermined electrode of the vacuum deposition apparatus. Magnesium and silver of the metal layer 11 are filled in the boats by 0.1g and 0.4g respectively, and attached to predetermined electrodes of the vacuum deposition apparatus. After a vacuum chamber is depressurized to  $1.0 \times 10^{-4}$  Pa, voltage is applied to each boat to heat it sequentially, and deposition is performed. In the deposition, a deposition mask was used to deposit the organic layer 10 and the metal layer 11 that consists of Mg:Ag only on a predetermined area. The predetermined area is an area where chromium is exposed. Since it is difficult to deposit the layers with high accuracy only for the area where the chromium is exposed, the deposition mask was designed so as to cover the entire area where chromium is exposed (so as to cover the edge of the insulating layer 15). Firstly, MTDATA as the hole injection layer 101,  $\alpha$ -NPD as the hole transport layer 102 and Alq as the emissive layer 103 were deposited by 30nm, 20nm and 50nm, respectively. Further, co-deposition of magnesium and silver is performed to deposit

**THIS PAGE BLANK (USPTO)**



Mg:Ag as the metal layer 11 of the cathode K on the organic layer 10. The ratio of deposition rates of magnesium and silver is set to 9:1. The film thickness of Mg:Ag was set to 10nm.

[0016] Finally, as shown in (C), the device is moved to another vacuum chamber, and a transparent conductive layer 12 is deposited via the same mask. The DC sputtering is used in deposition. In this embodiment, a transparent conductive film of In-Zn-O series, which shows good conductivity in room temperature deposition, is used as the transparent conductive layer 12. Regarding deposition conditions, mixed gas of argon and oxygen (volume ratio Ar:O<sub>2</sub>=1000:5) was used, the pressure and the DC output were set to 0.3 Pa and 40W, respectively. The layer was deposited at the film thickness of 200nm.

[0017] Finally, an example of an equivalent circuit for the amount of one pixel is shown in Fig. 5. The pixel PXL essentially consists of the organic electroluminescence device OLED, a thin film transistor TFT1 as the first active device, a thin film transistor TFT2 as the second active device, and a holding capacitance Cs. Since the organic electroluminescence often has rectification property, it is called the OLED (organic light emitting diode) in some cases. A symbol of diode is used in the drawing. In the drawing example, source S of the TFT2 is set as a reference potential (earth potential), the cathode K of the OLED is connected to Vdd (power source potential), while the anode A is connected to drain D of the TFT2. On the other hand, gate G of the TFT1 is connected to the scanning wiring X, source S is connected to the data wiring Y, and the drain D is connected to the holding capacitance Cs and the gate G of the TFT2.

[0018] To operate the PXL, when the scanning wiring X is firstly set to a selective state and data potential Vdata showing the brightness information is applied to the data wiring Y, the TFT1 is electrified, the holding capacitance Cs is charged or discharged, and the gate potential of the TFT2 matches the data potential Vdata. When the scanning wiring X is set to a non-selective state, the TFT1 turns off and the TFT2 is

**THIS PAGE BLANK (USPTO)**

electrically separated from the data wiring Y, but the gate potential of the TFT2 is stably held by the holding capacitance Cs. Current that flows in the organic electroluminescence device OLED via the TFT2 becomes a value corresponding to gate/source voltage Vgs of the TFT2, and the OLED continues to emit light in the brightness corresponding to current quantity supplied from the TFT2.

[0019] As described above, in the circuit configuration of the pixel PXL shown in Fig. 5, the OLED continues to emit light in a constant brightness during one frame until data is rewritten next time. When a large number of such pixels PXL are arrayed in a matrix state as shown in Fig. 6, an active-matrix display unit is constituted. As shown in Fig. 6, scanning wirings (X1 to XN) for selecting pixels PXL and data wirings Y that give the brightness information (data potential Vdata) for driving the pixels PXL are disposed in the matrix state in this display unit. The scanning wirings (X1 to XN) are connected to a scanning wiring drive circuit 21, while the data wirings Y are connected to a data wiring drive circuit 22. By repeating writing of Vdata from the data wiring drive circuit 22 via the data wirings Y while the scanning wiring drive circuit 21 sequentially selects the scanning wirings (X1 to XN), a desired image can be displayed. In a simple-matrix display unit, a light emitting device included in each pixel PXL emits light only in an instance when it is selected. On the other hand, in the active-matrix display unit shown in Fig. 6, the organic electroluminescence device of each pixel PXL continues emission even after the writing is completed, so that the unit is advantageous particularly to a large size high definition display on the point that a peak brightness (peak current) of the organic electroluminescence devices can be reduced comparing to the simple-matrix type.

[0020]

[Effects of the Invention] As described above, by forming the banks on the contact region connecting the electroluminescence devices, which belong to the upper layer section, and the

**THIS PAGE BLANK (USPTO)**

wirings that belong to the lower layer section, the area of pixels can be effectively used, and thus the region of the organic electroluminescence devices, which contributes to luminescence, can be expanded. By expanding the region contributing to luminescence, stable luminescence characteristics are obtained.

**THIS PAGE BLANK (USPTO)**

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-148291

(P2001-148291A)

(43) 公開日 平成13年5月29日 (2001.5.29)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ト <sup>*</sup> (参考)
H 0 5 B 33/26		H 0 5 B 33/26	Z 3 K 0 0 7
G 0 9 F 9/00	3 3 8	G 0 9 F 9/00	3 3 8 5 C 0 9 4
	3 4 2		3 4 2 Z 5 G 4 3 5
9/30	3 3 9	9/30	3 3 9 Z
	3 6 5		3 6 5 Z

審査請求 未請求 請求項の数 8 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願平11-329810  
 (22) 出願日 平成11年11月19日 (1999. 11. 19)

(71) 出願人 000002185  
 ソニー株式会社  
 東京都品川区北品川6丁目7番35号  
 (72) 発明者 占部 哲夫  
 東京都品川区北品川6丁目7番35号 ソニ  
 ー株式会社内  
 (72) 発明者 笹岡 龍哉  
 東京都品川区北品川6丁目7番35号 ソニ  
 ー株式会社内  
 (74) 代理人 100092336  
 弁理士 鈴木 晴敏

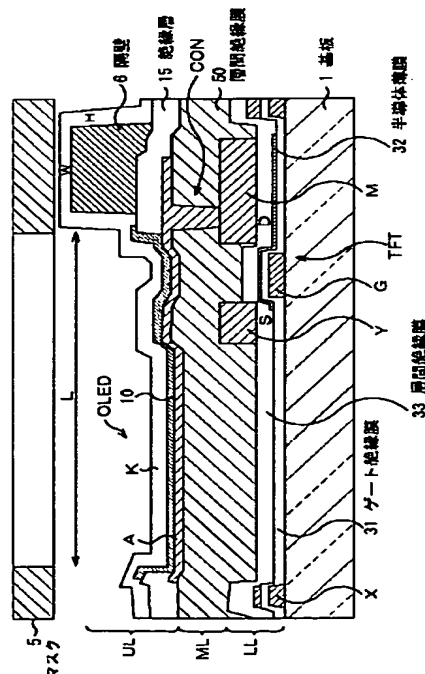
最終頁に続く

(54) 【発明の名称】 表示装置及びその製造方法

(57) 【要約】

【課題】 上面光取出し型の有機エレクトロルミネッセンス素子を画素としてマトリクス状に配列し表示装置において、基板の表面側にも光を遮断する構造物として隔壁が配置される場合に、より高い開口率の実装構造を実現する。

【解決手段】 表示装置は、基板1と、その上に形成された複数の画素と、隣り合う画素を互いに隔てる隔壁6とを有する。各画素は、基板1上に形成された配線X、Y、Mを含む下層部LLと、有機エレクトロルミネッセンス素子OLEDを含む上層部ULと、下層部LL及び上層部ULを互いに電氣的に絶縁する中層部MLとを含む。有機エレクトロルミネッセンス素子OLEDは中層部MLに開口したコンタクトホールCONを介して配線Mに接続している。隔壁6は、有機エレクトロルミネッセンス素子OLEDの形成に適さないコンタクトホールCONを含む領域と重なるように上層部ULに配されている。



## 【特許請求の範囲】

【請求項 1】 基板と、その上に形成された複数の画素と、隣り合う画素を互いに隔てる隔壁とを有する表示装置であって、

該画素は、基板上に形成された配線を含む下層部と、有機エレクトロルミネッセンス素子を含む上層部と、下層部及び上層部を互いに電氣的に絶縁する中層部とを含み、

該有機エレクトロルミネッセンス素子は該中層部に開口したコンタクトホールを介して該配線に接続しており、該隔壁は該コンタクトホールを含む領域と重なるように該上層部に配されていることを特徴とする表示装置。

【請求項 2】 前記有機エレクトロルミネッセンス素子は、該配線と接続した反射性の陽極と、表面に位置する透明な陰極と、陽極及び陰極の間に保持された有機層とからなり、前記有機層は該陽極から供給される正孔と該陰極から供給される電子との再結合によって発光し、これを表面の陰極から取り出すことを特徴とする請求項 1 記載の表示装置。

【請求項 3】 前記有機層は、該隔壁を介して基板の上に配されたマスクを用いて選択的に堆積された積層膜からなることを特徴とする請求項 2 記載の表示装置。

【請求項 4】 前記下層部は、画素を選択するための走査配線と、画素を駆動するための輝度情報を与えるデータ配線と、走査配線によって制御され且つデータ配線から与えられた輝度情報を画素に書き込む機能を有する第一の能動素子と、該書き込まれた輝度情報に応じて該有機エレクトロルミネッセンス素子に電流を供給しその発光を制御する機能を有する第二の能動素子とを含むことを特徴とする請求項 1 記載の表示装置。

【請求項 5】 基板と、その上に形成された複数の画素と、隣り合う画素を互いに隔てる隔壁とを有し、該画素は、基板上に形成された配線を含む下層部と、有機エレクトロルミネッセンス素子を含む上層部と、下層部及び上層部を互いに電氣的に絶縁する中層部とを含む表示装置の製造方法であって、

該基板の上に配線を含む下層部を形成する下層工程と、該下層部を被覆するように中層部を形成し、これに配線と連通するコンタクトホールを開口する中層工程と、該中層部の上に有機エレクトロルミネッセンス素子を形成して該中層部に開口したコンタクトホールを介し該下層部の配線に接続する上層工程とを行ない、該上層工程の中で、該コンタクトホールを含む領域と重なるように該隔壁を設けることを特徴とする表示装置の製造方法。

【請求項 6】 前記上層工程は、該配線と接続した反射性の陽極と、表面に位置する透明な陰極と、陽極及び陰極の間に保持された有機層とからなる有機エレクトロルミネッセンス素子を形成する工程であって、前記有機層は該陽極から供給される正孔と該陰極から供給される電子との再結合によって発光し、これを表面の陰極から取

り出すことを特徴とする請求項 5 記載の表示装置の製造方法。

【請求項 7】 前記上層工程は、該隔壁を介して基板の上に配されたマスクを用いて選択的に積層膜を堆積して有機層を形成することを特徴とする請求項 6 記載の表示装置の製造方法。

【請求項 8】 前記下層工程は、画素を選択するための走査配線と、画素を駆動するための輝度情報を与えるデータ配線と、走査配線によって制御され且つデータ配線から与えられた輝度情報を画素に書き込む機能を有する第一の能動素子と、該書き込まれた輝度情報に応じて該有機エレクトロルミネッセンス素子に電流を供給しその発光を制御する機能を有する第二の能動素子とを形成することを特徴とする請求項 5 記載の表示装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、有機エレクトロルミネッセンス素子を用いた表示装置及びその製造方法に関する。具体的には、発光を上面の陰極側で取り出す有機エレクトロルミネッセンス素子を用いた表示装置の高開口率化技術に関する。

## 【0002】

【従来の技術】有機エレクトロルミネッセンス素子は、例えばアクティブマトリクス型の表示装置の画素に利用できる。有機エレクトロルミネッセンス素子を画素とした有機エレクトロルミネッセンスディスプレイは、液晶ディスプレイに変わる次世代フラットパネルディスプレイとして有望視されている。図 7 に、従来の有機エレクトロルミネッセンス素子の構成を示す。ガラス基板 1 の上に透明導電膜からなる陽極 A を形成し、その上に有機層 10 を積層したあと、金属からなる陰極 K を形成する。これにより、ダイオード構造の有機エレクトロルミネッセンス素子が得られる。陰極 K は例えばアルミニウムやマグネシウムと銀の合金からなりその厚みは例えば 100 nm 程度である。有機層 10 は基本的に正孔輸送層、発光層及び電子輸送層を積層したものである。係る構成において、陰極 K 及び陽極 A から夫々電子と正孔を注入し、電子輸送層及び正孔輸送層を介して、発光層で電子と正孔が再結合し発光する。この場合、発光はガラス基板 1 側から取り出されることになり、所謂下面光取り出し構造となる。このように有機層 10 を陰極 K 及び陽極 A で挟んだ発光素子は有機発光ダイオードであり OLED と呼ばれている。

【0003】OLED は応答速度が 1  $\mu$  秒以下であるので、表示装置に応用する場合、単純マトリクスによるデューティー駆動も可能である。しかし、画素数が大きくなって高デューティーになった場合、十分な輝度を確保するためには OLED に対して瞬間的に大電流を供給する必要がある。



【0004】一方、アクティブマトリクス駆動では、各画素毎に薄膜トランジスタと保持容量を形成し、信号電圧を保持するので、一フレームの間常に信号電圧に応じて駆動電流をOLEDに印加できる。従って、単純マトリクスのように瞬間的に大電流を供給する必要がなく、OLEDに対するダメージが少ない。

#### 【0005】

【発明が解決しようとする課題】しかしながら、薄膜トランジスタ(TFT)をスイッチング素子に用いたアクティブマトリクス方式でパネルを設計する場合、TFTをガラス基板1の上に集積形成するので、図7に示した下面光取り出し型の場合OLEDから光を取り出すための開口面積がTFTで狭められ、開口率が低下するという問題がある。これを回避するために、ガラス基板1に対して上側にある陰極Kから発光を取り出す、所謂上面光取り出し型のデバイス構造が有効であり、これを図8に示す。図示するように、ガラス基板1の上に反射層110を形成しその上に例えばITO等の透明導電膜からなる陽極Aを形成する。その上に、有機層10を重ねたあと、金属層11を形成する。この場合、光を透過可能にするため、金属層11の厚みは例えば10nm以下である。その上に、ITO等からなる透明導電層12を形成する。発光の取り出しは上部から行われるため、陰極Kは透過率が高く、且つ電子が効率的に注入できるように、仕事関数の低い金属薄膜が用いられる。例えば、仕事関数の低いアルミニウムとリチウムの合金或いはマグネシウムと銀の合金を10nm程度に薄く成膜する。更にその上に、透明導電膜12を例えば100nmの厚みで成膜しておく。この透明導電膜12は、薄い金属層11の保護と、配線抵抗の低抵抗化の役目を果たす。

【0006】この様な上面光取出し型のデバイス構造は、下面光取出し型のデバイス構造に比べ、原理的に画素の開口率を高くすることができる。しかし、上面光取出し型のデバイスを画素としてマトリクス状に配列し表示装置を構成した場合、基板の表面側にも光を遮断する隔壁等の構造体が配置される場合が多く、より高い開口率が得られる実装構造の開発が急務になっている。

#### 【0007】

【課題を解決する為の手段】上述した従来の技術の課題を解決する為、以下の手段を講じた。即ち、本発明は、基板と、その上に形成された複数の画素と、隣り合う画素を互いに隔てる隔壁とを有する表示装置であって、該画素は、基板上に形成された配線を含む下層部と、有機エレクトロルミネッセンス素子を含む上層部と、下層部及び上層部を互いに電気的に絶縁する中層部とを含み、該有機エレクトロルミネッセンス素子は該中層部に開口したコンタクトホールを介して該配線に接続しており、該隔壁は該コンタクトホールを含む領域と重なるように該上層部に配されていることを特徴とする。具体的には、前記有機エレクトロルミネッセンス素子は、該配線

と接続した反射性の陽極と、表面に位置する透明な陰極と、陽極及び陰極の間に保持された有機層とからなり、前記有機層は該陽極から供給される正孔と該陰極から供給される電子との再結合によって発光し、これを表面の陰極から取り出す。この場合、前記有機層は、該隔壁を介して基板の上に配されたマスクを用いて選択的に堆積された積層膜からなる。又、前記下層部は、画素を選択するための走査配線と、画素を駆動するための輝度情報を与えるデータ配線と、走査配線によって制御され且つデータ配線から与えられた輝度情報を画素に書き込む機能を有する第一の能動素子と、該書き込まれた輝度情報に応じて該有機エレクトロルミネッセンス素子に電流を供給しその発光を制御する機能を有する第二の能動素子とを含む。

#### 【0008】

【発明の実施の形態】以下図面を参照して本発明の実施の形態を詳細に説明する。図1は、本発明に係る表示装置の構成を示す部分断面図の一例であり、一画素分を表わしている。図示する様に、本表示装置は基板1と、その上に形成された画素と、この画素を隣の画素から隔てる隔壁6とを有する。画素は下から順に下層部LLと中層部MLと上層部ULに分かれている。下層部LLは基板1上に形成されたデータ配線Yや接続配線Mなどの配線を含む。上層部ULは有機エレクトロルミネッセンス素子OLEDを含む。中層部MLは下層部LL及び上層部ULを互いに電気的に絶縁するものであり、層間絶縁膜50からなる。有機エレクトロルミネッセンス素子OLEDは中層部MLを構成する層間絶縁膜50に開口したコンタクトホールCONを介して接続配線Mに電気接続している。特徴事項として、隔壁6はコンタクトホールCONを含む領域(以下、コンタクト領域)と重なる様に上層部ULに配されている。このコンタクト領域は配線が複雑に入り組んでおり起伏が激しくOLEDの形成に適していない。仮に、ここにOLEDを設けても画面の表示に有効な発光が得られない。そこで、このコンタクト領域には元々発光には寄与しない構造物である隔壁6を設ける様にしている。係る構造により、画素面積を有効活用することが可能になり従来に比し開口率を改善することができる。本構造により50%を超える開口率が達成できる。

【0009】本実施形態では有機エレクトロルミネッセンス素子OLEDは上面光取出し型となっており、配線Mと接続した反射性の陽極Aと、表面に位置する透明な陰極Kと、陽極A及び陰極Kの間に保持された有機層10とからなる。有機層10は陽極Aから供給される正孔と陰極Kから供給される電子との再結合によって発光し、これを表面の陰極Kから取り出す。図示する様に、有機層10はコンタクト領域を除く比較的平坦な部分に亘って可能な限り広く形成することで、画素開口率を高くしている。有機層10の形成に不適当なコンタクト領

域には元々発光に寄与しない隔壁 6 を設ける様にしている。尚、画素の開口寸法 L は例えば 170 乃至 180  $\mu$ m であり、隔壁 6 の幅寸法 W は例えば 30 乃至 40  $\mu$ m である。又、隔壁 6 の高さ寸法 H は例えば 3 乃至 5  $\mu$ m である。ここで、有機層 10 は、隔壁 6 を介して基板 1 の上に配されたマスク 5 を用いて選択的に堆積された積層膜からなる。換言すると、隔壁 6 は OLED を形成する際、基板 1 とマスク 5 との間のスペーサとしての役割を果たし、マスク 5 が OLED の形成面に誤って接触することを防ぐ為に配されている。本表示装置はアクティブマトリクス型であり、下層部 LL には、画素を選択する為の走査配線 X と、画素を駆動する為の輝度情報を与えるデータ配線 Y と、走査配線 X によって制御され且つデータ配線 Y から与えられた輝度情報を画素に書き込む機能を有する第一の能動素子と、書き込まれた輝度情報に応じた有機エレクトロルミネッセンス素子 OLED に電流を供給しその発光を制御する機能を有する第二の能動素子とを含む。図 1 では、第二の能動素子として基板 1 の上に形成された薄膜トランジスタ TFT が示されている。この TFT はボトムゲート構造を有し、ゲート電極 G とその上に形成されたゲート絶縁膜 31 とその上に形成された半導体薄膜 32 とからなる。この半導体薄膜 32 はゲート電極 G と整合するチャネル領域に加え、その両側にソース領域 S とドレイン領域 D を備えている。係る構成を有する TFT は層間絶縁膜 33 によって被覆されており、その上に前述したデータ配線 Y や接続配線 M が形成されている。図には表れていないが、データ配線 Y は層間絶縁膜 33 に開口したコンタクトホールを介して TFT のソース領域 S に電気接続している。同様に接続配線 M も層間絶縁膜 33 に開口したコンタクトホールを介して TFT のドレイン領域 D に接続している。係る構成により、OLED の陽極 A は接続配線 M を介し TFT のドレイン領域 D に電気接続していることになる。

【0010】引き続き図 1 を参照して、本発明に係る表示装置の製造方法を説明する。まず、ガラスなどからなる基板 1 の表面に導電材料を成膜した後、所定の形状にパタニングして画素電極 G を形成する。同一の導電材料を用いて走査配線 X などと同時に形成する。導電材料としては、不純物を高濃度に注入した多結晶シリコン、シリサイド又は高融点金属 (W、Mo 他) などを用いることができる。続いて CVD 法などによりゲート絶縁膜 31 を成膜する。このゲート絶縁膜 31 としては SiO<sub>2</sub> 又は Si<sub>3</sub>N<sub>4</sub> などを用いることができる。このゲート絶縁膜 31 の上に半導体薄膜 32 を成膜する。例えば、CVD 法で非晶質シリコンを堆積し、固相成長法もしくはレーザアニール法を用いて多結晶シリコンに転換する。この様にして得られた半導体薄膜 32 に選択的に不純物を注入してソース領域 S 及びドレイン領域 D を形成した後、素子領域の形状に合わせてパタニングする。この様にして得られたボトムゲート構造の薄膜トランジスタ

TFT を被覆する様に、例えば SiO<sub>2</sub> からなる層間絶縁膜 33 を形成する。この層間絶縁膜 33 に、TFT のソース領域 S やドレイン領域 D に連通するコンタクトホールを開口する。この後層間絶縁膜 33 の上に、スパッタリングなどで金属薄膜を形成し、所定の形状にパタニングしてデータ配線 Y や接続配線 M を設ける。金属薄膜としては一般にアルミニウムが使用される。場合によっては、Ti/TiN/Ti/Al/Ti/TiN/Ti の多層構造もしくは AlSi 及び AlCu などの合金層を用いることができる。以上により、画素の下層部 LL が形成される。この上に、中層部 ML として SiO<sub>2</sub> などからなる層間絶縁膜 50 を成膜する。これにコンタクトホール CON をエッチングで開口した後、金属からなる光反射性の陽極 A を形成する。この陽極 A の上に SiO<sub>2</sub> などからなる絶縁層 15 を成膜した後、エッチングにより窓部を開口する。この窓部に OLED が形成されることになる。図から明らかな様に、窓部はコンタクトホール CON を含むコンタクト領域を除外した部分に設けられている。この段階で、残された絶縁層 15 の上に隔壁 6 を形成する。この隔壁 6 は有機もしくは無機の絶縁材料からなる。本実施形態では、SiO<sub>2</sub> をスパッタで 3 乃至 5  $\mu$ m の厚みに堆積して隔壁 6 を設けた。図から明らかな様に、隔壁 6 はコンタクトホール CON を含むコンタクト領域に形成されている。この後、隔壁 6 をスペーサとしてマスク 5 を配置し、蒸着により有機層 10 を成膜する。この際、隔壁 6 はマスク 5 が基板 1 の表面に接触しない様にスペーサとしての役割を果たす。有機層 10 を蒸着した後、透明な陰極 K を基板 1 の表面全体に成膜する。この陰極 K は全ての画素に亘って共通電位に保持される。以上で各画素の上層部 UL が完成する。

【0011】図 2 は、図 1 に示した表示装置の模式的な平面図の一例である。図示する様に、データ配線 Y は画面の縦方向に配設され、走査配線 X は横方向に配設されている。又、上下に隣り合う画素 PXL を互いに隔てる隔壁 6 も横方向に配設されており、図 1 で説明した様にコンタクト領域と重なる部分に設けられている。画素 PXL のハッチングを付した部分が OLED の形成された領域であり、有効な発光面積となっている。

【0012】図 3 は、参考として基板 1 とマスク 5 の相対的な位置関係を示す模式的な平面図の一例である。本例は、基板 1 に RGB 三原色の画素を真空蒸着で形成する場合を表している。基板 1 の表面には予め隔壁 6 がストライプ状に形成されている。この隔壁 6 は有機若しくは無機の絶縁物からなり、例えばスクリーン印刷又はスパッタリングにより基板 1 の表面に形成できる。ストライプ状に形成された各隔壁 6 の間に、RGB 三原色に分かれた画素を形成する。このため、マスク 5 は図示のようなパタン 8 を有し、ハッチングが施されていない部分に矩形の開口が開いている。図示の状態では、マスク 5 のパタン 8 は基板 1 側の画素 R に対応している。この状

態で、真空蒸着を行うことにより、画素Rを構成すべき有機物質が選択的に蒸着される。このあと、マスク5を右側に一面素分シフトすることで、パタン8は画素Gの領域に整合することになる。ここで有機物質を代えて再び真空蒸着を行うことにより、画素Gを形成することができる。同様にして、マスク5を更に右側に一面素分シフトし、画素Bを形成する。

【0013】図示の例では、隔壁6の配列間隔は例えば300 $\mu$ mに設定されている。これに対し、マスク5に形成された開口パタン8の寸法は、例えば70 $\times$ 200 $\mu$ mである。又、マスク5は例えばステンレススチールからなり、その厚みは例えば50 $\mu$ m程度である。これに対し、基板1とマスク5の間隙寸法を規定する隔壁6の厚みは例えば5 $\mu$ m程度である。

【0014】次に、図4を参照して、図3に示したマスクを用いてガラス基板の上にエレクトロルミネッセンス素子からなる画素を形成する方法の一例を、具体的に説明する。先ず(A)に示すように、予めコンタクトホールCONを形成した層間絶縁膜50の上に、クロム(Cr)を膜厚200nmでDCスパッタリングにより成膜する。尚、層間絶縁膜50よりしたの層は図示を省略している。スパッタガスとしてアルゴン(Ar)を用いて、圧力を0.2Pa、DC出力を300Wとした。通常のリソグラフィ技術を用いて、所定の形状にパタニングする。エッチング液としてETCH-1(三洋化成工業(株)製)を用いて、加工する。所定の形状の陽極Aが得られる。クロムは前記エッチング液により高精度かつ再現性よく加工できる。さらに、加工精度が要求される場合は、ドライエッチングによる加工も可能である。エッチングガスとしては、塩素(Cl<sub>2</sub>)と酸素(O<sub>2</sub>)の混合ガスを用いることができる。特に、リアクティブイオンエッチング(RIE)を用いれば、高精度な加工ができ、かつエッチング面の形状の制御が可能である。所定の条件でエッチングすれば、テーパー状の加工が可能で、陰極-陽極間ショートを低減できる。続いて、クロムが所定のパタンに加工された層間絶縁膜50の上に絶縁層15を成膜する。絶縁層15に用いる材料は特に限定はないが、本実施例では二酸化珪素(SiO<sub>2</sub>)を用いている。SiO<sub>2</sub>はスパッタリングにより膜厚200nmに形成する。成膜方法に、特に限定はない。通常のリソグラフィ技術を用いて、クロム上に開口を設ける様にSiO<sub>2</sub>を加工する。SiO<sub>2</sub>のエッチングには、フッ酸とフッ化アンモニウムの混合液を使うことができる。また、ドライエッチングによる加工も可能である。前記開口部が、有機エレクトロルミネッセンス素子の発光部分となる。尚、前記絶縁層15は本発明に必要な不可欠なものではないが、陽極-陰極間ショートを防ぐためには設置することが望ましい。この後、前記開口部の両側に隔壁6を、例えばスパッタリングで形成する。

【0015】次に(B)に示すように、隔壁6を介して層間絶縁膜50の上にマスク5を装着する。尚、マスク5に形成された開口パタン8は、前述した絶縁層15の開口部に整合するよう、位置決めされている。このようにマスク5を組み込んだ基板を真空蒸着装置に投入し、有機層10及び陰極Kの金属層11を蒸着により形成する。ここで有機層10は、正孔注入層101として4,4',4"-トリス(3-メチルフェニルフェニルアミノ)トリフェニルアミン(MTDATA)、正孔輸送層102としてビス(N-ナフチル)-N-フェニルベンジジン( $\alpha$ -NPD)、発光層103として8-キノリノールアルミニウム錯体(A1q)を用いた。陰極Kの金属層11には、マグネシウムと銀の合金(Mg:Ag)を用いた。有機層10に属する各材料は、それぞれ0.2gを抵抗加熱用のボートに充填して真空蒸着装置の所定の電極に取り付ける。金属層11のマグネシウムは0.1g、銀は0.4gをボートに充填して、真空蒸着装置の所定の電極に取り付ける。真空チャンバを、1.0 $\times$ 10<sup>-4</sup>Paまで減圧した後、各ボートに電圧を印加し、順次加熱して蒸着させる。蒸着には、蒸着マスクを用いることにより所定の部分のみ有機層10およびMg:Agからなる金属層11を蒸着させた。所定の部分とは、クロムが露出している部分である。クロムの露出している部分だけに高精度に蒸着することは困難であるので、クロムの露出している部分全体を覆うように(絶縁層15の縁にかかるように)蒸着マスクを設計した。まず、正孔注入層101としてMTDATAを30nm、正孔輸送層102として $\alpha$ -NPDを20nm、発光層103としてA1qを50nm蒸着した。さらに、マグネシウムおよび銀の共蒸着を行なうことにより、有機層10上に陰極Kの金属層11としてMg:Agを成膜する。マグネシウムと銀は、成膜速度の比を9:1としている。Mg:Agの膜厚を10nmとした。

【0016】最後に、(C)に示すように、別の真空チャンバに移し、同じマスクを通して透明導電層12を成膜する。成膜にはDCスパッタリングを用いる。本実施例では、透明導電層12として室温成膜で良好な導電性を示すIn-Zn-O系の透明導電膜を用いる。成膜条件は、スパッタガスとしてアルゴンと酸素の混合ガス(体積比Ar:O<sub>2</sub>=1000:5)を用い、圧力0.3Pa、DC出力40Wとした。膜厚200nmで成膜した。

【0017】最後に、一面素分の等価回路の一例を図5に示す。画素PXLは有機エレクトロルミネッセンス素子OLED、第一の能動素子としての薄膜トランジスタTFT1、第二の能動素子としての薄膜トランジスタTFT2及び保持容量Csからなる。有機エレクトロルミネッセンス素子は多くの場合整流性があるため、OLED(有機発光ダイオード)と呼ばれることがあり、図で

はダイオードの記号を用いている。図示の例では、TFT2のソースSを基準電位（接地電位）とし、OLEDの陰極KはV<sub>dd</sub>（電源電位）に接続される一方、陽極AはTFT2のドレインDに接続されている。一方、TFT1のゲートGは走査配線Xに接続され、ソースSはデータ配線Yに接続され、ドレインDは保持容量C<sub>s</sub>及びTFT2のゲートGに接続されている。

【0018】PXLを動作させるために、まず、走査配線Xを選択状態とし、データ配線Yに輝度情報を表すデータ電位V<sub>data</sub>を印加すると、TFT1が導通し、保持容量C<sub>s</sub>が充電又は放電され、TFT2のゲート電位はデータ電位V<sub>data</sub>に一致する。走査配線Xを非選択状態とすると、TFT1がオフになり、TFT2は電氣的にデータ配線Yから切り離されるが、TFT2のゲート電位は保持容量C<sub>s</sub>によって安定に保持される。TFT2を介して有機エレクトロルミネッセンス素子OLEDに流れる電流は、TFT2のゲート/ソース間電圧V<sub>gs</sub>に応じた値となり、OLEDはTFT2から供給される電流量に応じた輝度で発光し続ける。

【0019】上述したように、図5に示した画素PXLの回路構成では、一度V<sub>data</sub>の書き込みを行えば、次に書き換えられるまで一フレームの間、OLEDは一定の輝度で発光を継続する。このような画素PXLを図6のようにマトリクス状に多数配列すると、アクティブマトリクス型表示装置を構成することができる。図6に示すように、本表示装置は、画素PXLを選択するための走査配線X<sub>1</sub>乃至X<sub>N</sub>と、画素PXLを駆動するための輝度情報（データ電位V<sub>data</sub>）を与えるデータ配線Yとがマトリクス状に配設されている。走査配線X<sub>1</sub>乃至X<sub>N</sub>は走査配線駆動回路21に接続される一方、データ配線Yはデータ配線駆動回路22に接続される。走査配線駆動回路21によって走査配線X<sub>1</sub>乃至X<sub>N</sub>を順次選択しながら、データ配線駆動回路22によってデータ配線YからV<sub>data</sub>の書き込みを繰り返すことにより、所望の画像を表示することができる。単純マトリクス型の表示装置では、各画素PXLに含まれる発光素子は、選択された瞬間にのみ発光するのに対し、図6に示したアクティブマトリクス型表示装置では、書き込み終了後も各画素PXLの有機エレクトロルミネッセンス素

子が発光を継続するため、単純マトリクス型に比べ有機エレクトロルミネッセンス素子のピーク輝度（ピーク電流）を下げられるなどの点で、とりわけ大型高精細のディスプレイでは有利となる。

#### 【0020】

【発明の効果】以上説明したように、本発明によれば、上層部に属するエレクトロルミネッセンス素子と下層部に属する配線とを接続するコンタクト領域上に隔壁を形成することで、画素の面積を有効活用可能となり、発光に寄与する有機エレクトロルミネッセンス素子の領域を拡大することができる。発光に寄与する領域を拡大することにより、安定な発光特性が得られる。

#### 【図面の簡単な説明】

【図1】本発明に係る表示装置の実施形態を示す部分断面面図である。

【図2】本発明に係る表示装置の実施形態を示す部分平面図である。

【図3】マスクと基板との関係を示す模式的な平面図である。

【図4】有機エレクトロルミネッセンス素子の製造方法を示す工程図である。

【図5】本発明に係る表示装置の画素分の等価回路を示す回路図である。

【図6】本発明に係る表示装置の全体構成を示す回路図である。

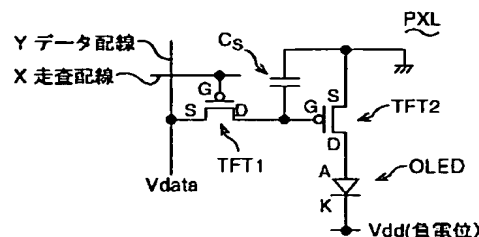
【図7】従来の有機エレクトロルミネッセンス素子の一例を示す断面図である。

【図8】従来の有機エレクトロルミネッセンス素子の他の例を示す断面図である。

#### 【符号の説明】

1・・・基板、5・・・マスク、6・・・隔壁、10・・・有機層、15・・・絶縁層、31・・・ゲート絶縁膜、32・・・半導体薄膜、33・・・層間絶縁膜、50・・・層間絶縁膜、UL・・・上層部、ML・・・中層部、LL・・・下層部、OLED・・・有機エレクトロルミネッセンス素子、A・・・陽極、K・・・陰極、CON・・・コンタクトホール、TFT・・・薄膜トランジスタ、X・・・走査配線、Y・・・データ配線、M・・・接続配線、G・・・ゲート電極

【図5】



[illegible]

Figure 1 is a plan view of a pixel array. The array is composed of a grid of pixels. Each pixel is divided into two main regions: an OLED region (hatched) and a CON region (dotted). The pixels are arranged in rows and columns. Labels include 'Y' for a vertical line, 'X' for a horizontal line, and 'PXL' for a pixel. The 'CON' regions are labeled 'CON' and the 'OLED' regions are labeled 'OLED'.

Figure 1 is a cross-sectional view of a display panel. It shows a substrate (1) with a mask (5) and spacers (6) defining a display area. The display area contains a grid of pixels (R, G, B) and a bottom electrode (8).

【図 7】

10 有機層

陰極 K

電子輸送層

発光層

正孔輸送層

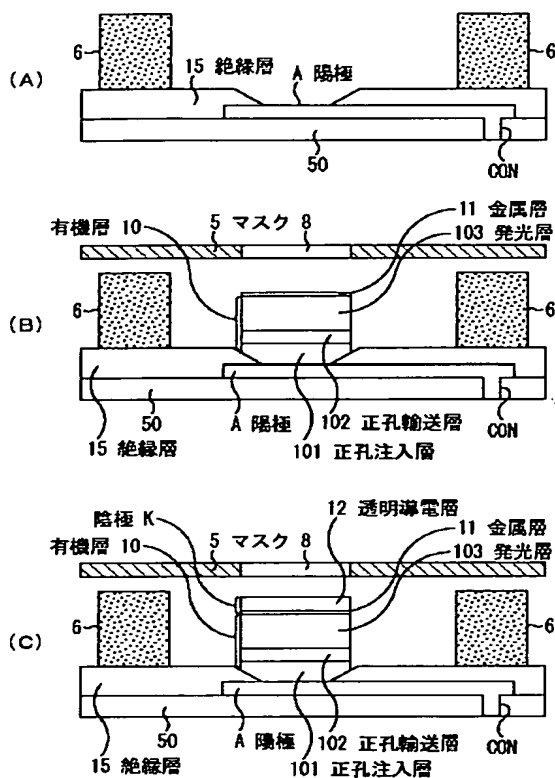
陰極 A

ガラス基板 1

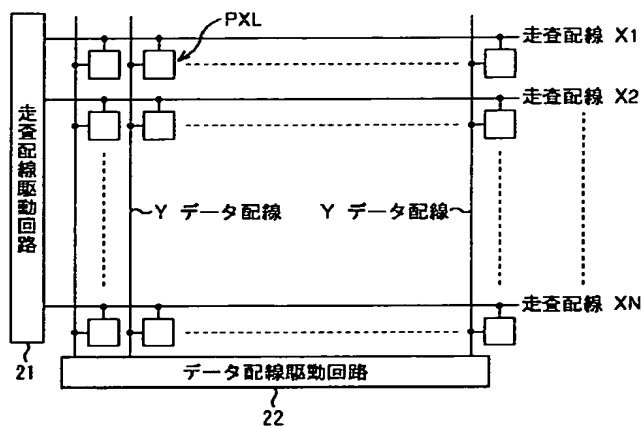
OLED

発光

【図4】



【図6】



フロントページの続き

(51) Int. Cl.<sup>7</sup>

識別記号

F I

ターム (参考)

H 0 5 B 33/10  
33/12  
33/14  
33/22

H 0 5 B 33/10  
33/12  
33/14  
33/22

B  
A  
Z

(72) 発明者 関谷 光信

東京都品川区北品川 6 丁目 7 番 35 号 ソニ  
ー株式会社内

(72) 発明者 山岸 万千雄

東京都品川区北品川 6 丁目 7 番 35 号 ソニ  
ー株式会社内

F ターム (参考) 3K007 AB00 BA06 BB00 CA01 CB01  
CB03 DA00 DB03 EB00 FA00  
FA01  
5C094 AA05 AA14 AA60 BA03 BA27  
CA19 GB10  
5G435 AA01 BB05 CC09 EE11 KK05  
KK09